

## PATENT ABSTRACTS OF JAPAN

2

(11)Publication number : 06-301631

(43)Date of publication of application : 28.10.1994

(51)Int.Cl.

G06F 13/18

G06F 15/16

(21)Application number : 05-083563

(71)Applicant : SHARP CORP

(22)Date of filing : 09.04.1993

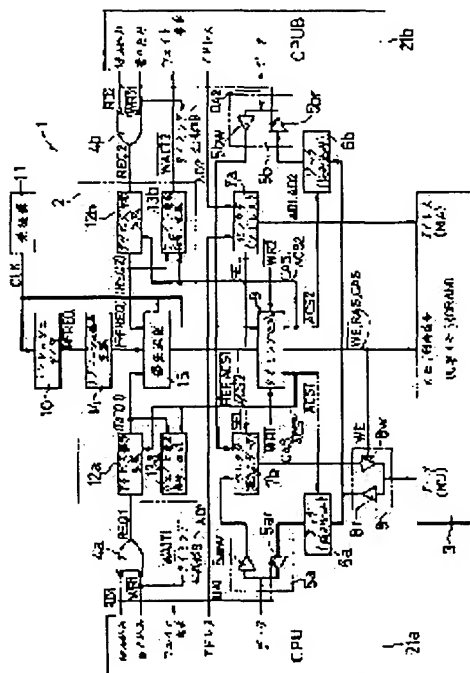
(72)Inventor : TANAKA YUJI

## (54) MEMORY CONTROL CIRCUIT

## (57)Abstract:

**PURPOSE:** To share a memory by executing arbitration processing of individual access requests from plural central processing units(CPUs) by a memory control circuit.

**CONSTITUTION:** When simultaneous access is generated from plural CPUs 21a, 21b in the memory control circuit 1, an arbitration circuit 2 receives the upper request and holds the lower request in accordance with previously determined priority order, activates or non-activates a buffer 5, a latch 6 and a selector 7 corresponding to the CPU in receiving and connects the bus line of the CPU to the bus line of the memory 3. When the memory 3 is a DRAM, a refresh request is processed with the highest priority. After completing the upper access, the lower access is received by resetting its holding and the corresponding bus line is connected by switching.



## LEGAL STATUS

[Date of request for examination] 31.01.1997

[Date of sending the examiner's decision of rejection] 26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号  
特開平6-301631

(43)公開日 平成 6 年(1994)10月28日

(51)Int.Cl.<sup>5</sup>  
G 0 6 F 13/18  
15/16

識別記号  
5 1 0  
3 5 0 R

庁内整理番号  
9366-5B  
7429-5L

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 16 頁)

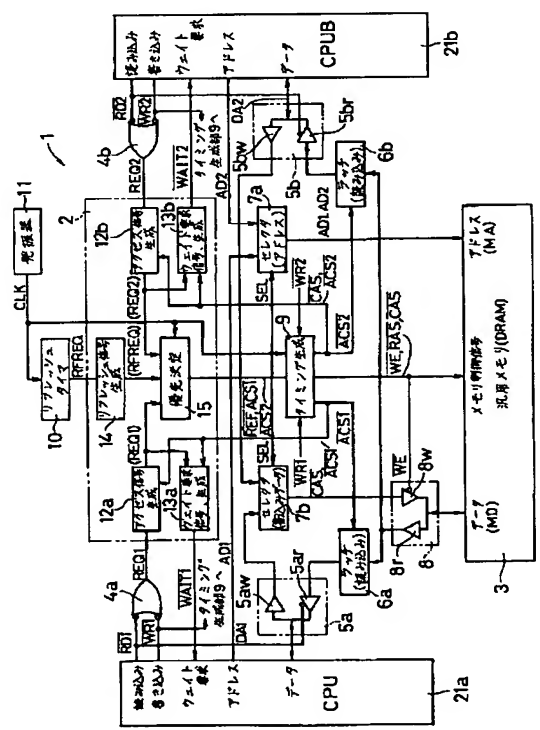
(21)出願番号	特願平5-83563	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成 5 年(1993) 4 月 9 日	(72)発明者	田中 勇司 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	弁理士 西教 圭一郎

(54)【発明の名称】 メモリ制御回路

(57)【要約】

【目的】 複数の中央処理装置からの個別的なアクセス要求を、メモリ制御回路を設けて調停処理することによってメモリの共有化を図る。

【構成】 メモリ制御回路1は、複数のCPU21a、21bからの同時アクセスが発生したときには、調停回路2は予め定められる優先順位に従って上位の要求を受け付け、下位の要求を保留し、受け付け中のCPUに対応するバッファ5、ラッチ6、セクタ7を能動化あるいは非能動化して、当該CPUのバスラインとメモリのバスラインとを接続する。メモリ3がDRAMの場合にはリフレッシュ要求が最優先に扱われる。上位のアクセスが終われば、前記保留を解除して下位のアクセス要求を受け付け、バスラインを切り換え接続する。



## 【特許請求の範囲】

【請求項1】 複数の中央処理装置と、データの書き込みおよび読み込みが自在なメモリとの間に介在し、前記複数の中央処理装置からの個別的なアクセス要求信号に

応答して、前記メモリのバスラインが当該中央処理装置のバスラインに接続されるように制御するメモリ制御回路において、  
前記複数の中央処理装置からのアクセス要求信号の到着が先後するとき、先着順に受付け、同時に到着するときには予め定める優先順位にしたがって受付け、先着または上位のアクセス要求信号を受け付けている間は、後着または下位のアクセス要求信号を保留し、前記先着または上位のアクセス要求信号の処理が終わった後に前記保留を解除し、後着または下位のアクセス要求信号を受け付けることによって、前記複数の中央処理装置からのアクセス要求を順次的に調停処理するアクセス要求調停手段と、

前記アクセス要求調停手段の出力にตอบสนองして、前記複数の中央処理装置のバスラインを選択して前記メモリのバスラインと接続するバスライン選択接続手段とを含むことを特徴とするメモリ制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、メモリ制御回路に関し、さらに詳しくは、読み込みおよび書き込みが自在なメモリを、複数の中央処理装置から個別にアクセスできるようにし、該メモリを該複数の中央処理装置によって共有できるようにするメモリ制御回路に関する。

## 【0002】

【従来の技術】中央処理装置（以下、「CPU」という）によって制御される各種の装置において、低機能の装置では1個のCPUでも対応できるが、装置の高速化、高機能化が要求されるにしたがい、対応しきれなくなってくる。これに対処するためには高速CPUに置き換えて処理能力をアップさせる方法があるが、新たなソフトウェアが必要となって過去のソフトウェア資産が生かされず、CPUの高速化にともなって周辺デバイスも高速化が必要になるなど、コスト面で問題が生じる。

【0003】このような問題解消のために、プログラムを複数のCPUに分散し、CPU1個当たりの作業分担当量を減じて高速化を図る方法が提案されている。たとえば図9に示されている高速ファクシミリ装置51では、2個のCPU52、53を用いて、一方のCPU52には図示しないインターフェイスを介して外部との送受信に関連するモデム54や操作パネルなどの入力手段55が接続され、他方のCPU53には内部動作に関連するスキャナ56やプリンタ57などが接続され、CPU1個の分担作業量を減じてその分の高速化が図られている。これら2つのCPU52、53には自己用のROM58、59のほかに、双方から個別にアクセス可能な複

数個のデュアルポートRAM60a、60b、60c、…が接続され、一方のCPUが書き込んだデータを、他方のCPUが読み込むといった、メモリの共有化によって、データの転送などに要する処理と時間の低減化が図られている。

## 【0004】

【発明が解決しようとする課題】しかしながら前述の従来技術に用いられているデュアルポートRAM60は、汎用性に欠ける上に比較的小容量でしかも高価であり、バスラインを接続するためのポート端子数が増えるので配線量が多くなり、基板面積と関連して小形化が困難という問題点がある。

【0005】小型大容量の観点からダイナミックRAM（以下「DRAM」という）を使用するときにはリフレッシュの問題があり、またメモリを共有することによって双方のCPUから同時にアクセス要求が発生した場合の対処についての問題点がある。たとえば図10に示されるように、4ビットデータ「0、0、0、0」がストアされているメモリがあり、ここへ一方のCPUが

「1、1、1、1」を新たに書き込み、同時に他方のCPUがこれを読み込む場合を想定する。信号の遅延などのためすべてのデータの書き込みを終えるには時刻t00から時刻t02までの時間Twが必要であり、この間は各ビットデータは「0」、「1」まちまちである。したがって正確な読み込みは時刻t02以後になされなければならないが、同時アクセスのタイミングが不適切だと時刻t01で「0、1、0、1」のように誤って読み込んでしまう。同様なことは読み込み—書き込みの場合にも起こり得る。

【0006】このような不具合を解消するために、たとえば図11のタイムチャートに示されるように、一定時間幅Tmでハイ・ローが交互に切り替わるアクセスタイミング信号ACSTMによって、2個のCPUのアクセスを交互に切替える方法がある。時間幅Tmはたとえば3クロックとされ、リフレッシュはアクセスタイミング信号ACSTMのハイ期間に行われるようにされる。このようにすれば、1つのアクセスだけがアクセスタイミング信号ACSTMの半サイクルに実行されるので、前述の不具合は解消されるけれども、タイミングによってはアクセス要求を出してから完了するまでの時間が長くなるという問題が生じる。これを図11のタイムチャートを用いて説明する。

【0007】図11において、（1）はクロック信号CLKを、（2）はリフレッシュ要求信号RFREQを、（3）は第1CPUのアクセス要求信号REQ1を、（4）は第2CPUのアクセス要求信号REQ2を、（5）はアクセスタイミング信号ACSTMを、（6）はリフレッシュ信号REFを、（7）は第1CPUのアクセス信号ACS1を、（8）は第2CPUのアクセス信号ACS2を、（9）はアクセス要求にตอบสนองして出力

3

されるロウ信号・バーRASを、(10)は同じくカラム信号・バーCASをそれぞれ示す。図11(2),

(3)のようにリフレッシュ要求信号RFREQあるいは第1アクセス要求信号REQ1が出ると、図示しない制御回路はこれに应答して図11(6), (7)に示されるリフレッシュ信号REFあるいは第1アクセス信号ACS1を出してメモリとCPUのバスとを接続し、図11(9), (10)に示されるロウ信号バーRAS、カラム信号バーCASを出力してアドレス指定が行われる。ロウ信号バーRASはCPUからのアクセス時には第1アクセス信号ACS1の直後の時刻t33で出力され、カラム信号バーCASはそれより遅れて時刻t34に出力されるが、リフレッシュ時には時刻t38, t39に示されているように逆にカラム信号バーCASの方が先に出力される。いまたとえば、時刻t31で第1CPUから図11(3)に示される第1アクセス要求信号REQ1が出されても、図11(5)のアクセスタイミング信号ACSTMはローに下がっているので、第1アクセス要求信号REQ1の受け付けはアクセスタイミング信号ACSTMの1サイクル分延期され、時刻t32で受け付けられる。したがって第1CPUがアクセス要求を出してから完了までには、 $3 \times 2 + 2 \cdot 5 = 8 \cdot 5$ クロック分の時間T31を要することになる。これは一方のアクセス要求が他と重ならない単独アクセスの場合であるが、タイミングが最悪だとこのようになる。

【0008】また図11の時刻t33, t34で、図11(2), (3), (4)のように、リフレッシュ要求信号RFREQと、第1アクセス要求信号REQ1と、第2アクセス要求信号REQ2の3つが殆ど同時に生まれ、このとき図11(5)のアクセスタイミング信号ACSTMとの間で図示のような位相関係にあるとすれば、アクセスタイミング信号ACSTMの立ち上がり時刻t35でリフレッシュ要求信号RFREQが受け付けられ、時刻t36でリフレッシュが完了し、次にアクセスタイミング信号ACSTMの立ち下がり時刻t37で第1アクセス信号ACS1が受け付けられて時刻t38で第1CPUのアクセスが終わり、さらに時刻t30で第2アクセス信号ACS2が受け付けられて時刻t40で第2CPUのアクセスが終わるといったシーケンス動作になる。この場合の各々の要求発生から終了までの所要時間は、リフレッシュ…5クロック(時間T32)、第1アクセス…8.5クロック(時間T33)、第2アクセス…11.5クロック(時間T34)となり、リフレッシュと重なった時などは多大の待ち時間が生じて高速化に支障をきたすことになってしまう。

【0009】発明の目的は前述の問題点を解決して、適切なタイミングによって複数のアクセス要求を調停管理し、メモリを複数の中央処理装置で共有することができるメモリ制御回路を提供することである。

【0010】

4

【課題を解決するための手段】本発明は、複数の中央処理装置と、データの書き込みおよび読み込みが自在なメモリとの間に介在し、前記複数の中央処理装置からの個別的なアクセス要求信号に应答して、前記メモリのバスラインが当該中央処理装置のバスラインに接続されるように制御するメモリ制御回路において、前記複数の中央処理装置からのアクセス要求信号の到着が先後するとき、先着順に受け付け、同時に到着するときには予め定める優先順位にしたがって受け付け、先着または上位のアクセス要求信号を受け付けている間は、後着または下位のアクセス要求信号を保留し、前記先着または上位のアクセス要求信号の処理が終わった後に前記保留を解除し、後着または下位のアクセス要求信号を受け付けることによって、前記複数の中央処理装置からのアクセス要求を順次的に調停処理するアクセス要求調停手段と、前記アクセス要求調停手段の出力に应答して、前記複数の中央処理装置のバスラインを選択して前記メモリのバスラインと接続するバスライン選択接続手段とを含むことを特徴とするメモリ制御回路である。

20 【0011】

【作用】本発明に従うメモリ制御回路は、アクセス要求調停手段とバスライン選択接続手段とを備えている。複数の中央処理装置から個別的なアクセス要求信号が到着すると、アクセス要求調停手段は複数のアクセス要求信号の到着に先後があるかどうかを調べ、先後があるときは先着のアクセス要求を受け付け、また複数のアクセス要求の到着が同時のときには予め定める優先順位にしたがって受け付け、先着または上位のアクセス要求信号を受け付けている間は後着または下位のアクセス要求信号を保留し、前記先着または上位のアクセス要求信号の処理が終わった後に、前記保留を解除して後着または下位のアクセス要求信号を受け付けることによって、前記複数の中央処理装置からのアクセス要求を順次的に調停処理する。またバスライン選択接続手段は、前記アクセス要求調停手段の出力に应答して、前記複数の中央処理装置のバスラインから対応するバスラインを選択してこれをメモリのバスラインと接続する。これによって複数の中央処理装置からの個別的なアクセスが可能となり、メモリを複数の中央処理装置によって共有することができる。

40 【0012】

【実施例】図1は、本発明の一実施例のメモリ制御回路1の使用例を示すブロック図である。メモリ制御回路1は、複数のCPU21a, 21bとメモリ3との間に介在し、相互にバスラインL1~L3で結ばれている。メモリ3がDRAMの場合にはリフレッシュタイマ10がバスラインL4を介して接続され、一定周期ごとにリフレッシュ要求信号RFREQがメモリ制御回路1に入力される。またCPU21a, 21bからのアクセス要求信号REQ1, REQ2はバスラインL1, L2を介してメモリ制御回路1に入力され、メモリ制御回路1は、

これらのアクセス要求を適切なタイミングの下に、メモリ3のバスラインL3をバスラインL1、L2またはバスラインL4と接続するものである。

【0013】図2は、本実施例のメモリ制御回路1の電氣的構成を示すブロック図である。メモリ制御回路1は、アクセス要求調停手段である調停回路2を中心に、バスライン選択接続手段を形成するORゲート4a、4bと、読み／書き用バッファゲート5a、5bと、ラッチ回路6a、6bと、一対のセクタ回路7a、7bと、バッファゲート8と、タイミング生成回路9などの各デバイスによって構成され、これらのデバイスは一部を除いて第1CPU21a、第2CPU21bに対して対称的に配置されている。第1バッファゲート5aは第1CPU21aに対応し、読み込み用第1バッファ5arと書き込み用第1バッファ5awとが対をなして形成され、第2CPU21bに対応する第2バッファゲート5bも同様に形成されている。メモリ3に対応するバッファゲート8も同様に一対の読み込み用バッファ8rと書き込み用バッファ8wとによって形成されている。前記各バッファのうち、各CPUの読み込み用バッファ5ar、5brと、メモリ3に対する書き込み用バッファ8wとはいずれもイネブル端子付きのもので、データの衝突防止が図られている。

【0014】前記一対のラッチ回路6a、6bは、後述するように第1CPU21aまたは第2CPU21bからのアクセスに対応してそれぞれのCPUに対するメモリ3からの読み込みデータを一時保持するものである。また前記一対のセクタ7a、7bのうち、セクタ7aはアドレス選択用セクタであり、セクタ7bは書き込みデータ選択用セクタであり、ともに常時は第1CPU21a側のデータバスDA1に接続され、第2CPU21bからのアクセス要求によって生成されるセクタ信号SELが入力されると第2CPU21b側のデータバスDA2に切換えられるようになっている。一定周期のクロック信号CLKが、発振器11から調停回路2とタイミング生成回路9とに入力され、第1CPU21aおよび第2CPU21bからのメモリ3への各アクセスタイミングの調整が図られている。クロック信号CLKはリフレッシュタイマ10にも入力され、一定周期毎にリフレッシュ要求信号RFREQがリフレッシュタイマ10から調停回路2に出力される。本発明において注目すべきは、メモリ制御回路1の内部に調停回路2を設け、予め定められる優先順位または先着順によってアクセス要求の調停管理を行い、これによって第1CPU21aと第2CPU21bとによるメモリ3の共有化を図っていることである。

【0015】調停回路2は、優先決定回路部15を中心に、各々一対のアクセス信号生成部12a、12bとウェイト要求信号生成部13a、13bとが、第1CPU21aと第2CPU21bとに対して対称的に配置さ

れ、さらにリフレッシュタイマ10からのリフレッシュ要求信号RFREQが入力されるリフレッシュ信号生成部14が設けられ、優先決定回路部15に接続されている。

【0016】第1CPU21aからのアクセス要求である読み込み信号・バーWR1または書き込み信号・バーRD1が導出されると、第1ORゲート4aによって第1アクセス要求信号REQ1に変換され、調停回路2内の第1アクセス信号生成部12aを介して優先決定回路部15に入力される。第1アクセス要求信号REQ1に応答して、優先決定回路部15は第1アクセス信号生成要求信号（以下「第1アクセス信号」という）・バーACS1を生成し、タイミング生成回路9に出力する。第2CPU21bからのアクセス要求についても同様に、読み込み信号・バーWR2または書き込み信号・バーRD2のいずれか一方によって第2アクセス要求信号REQ2が生成され、優先決定回路部15によって第2アクセス信号・バーACS2がタイミング生成回路9に出力される。

【0017】また書き込み信号・バーWR1、バーWR2のいずれか一方がタイミング生成回路9に入力されると書き込みと判断され、メモリ書き込み信号・バーWEがタイミング生成回路9からメモリ3に出力される。書き込み信号・バーWR1またはバーWR2が入力されないときにはメモリ書き込み信号・バーWEは出力されず、この場合には読み込みと判断される。なお以下の説明で、前記リフレッシュ要求信号、第1アクセス要求信号、第2アクセス要求信号を総称してアクセス要求信号ということもある。

【0018】本実施例ではアクセス要求信号の到着に先後があるときは先着の要求信号を先に受け付け、受け付け中は後着のアクセス要求信号は保留される。また予め優先順位をリフレッシュ要求-第1CPU1のアクセス要求-第2CPU2のアクセス要求の順に定め、メモリ3へのアクセス要求が前記3者によって同時に発生しても、この順に処理が行われ、その間他からの要求信号は保留されるようになっている。

【0019】たとえばリフレッシュ時には前記リフレッシュタイマ10からのリフレッシュ要求信号RFREQに応答して、調停回路2内の優先決定回路部15からリフレッシュ信号・バーREFがタイミング生成回路部9に出力されるとともに、CPU21a、21bに対するウェイト要求信号・バーWAIT1、バーWAIT2がCPU21a、21bに入力され、さらにリフレッシュ信号・バーREFによって調停回路2内ではクロック信号CLKが停止され、第1CPU21aと第2CPU21bからの各アクセス要求信号REQ1、REQ2は保留されて、アクセス信号ACS1、ACS2はタイミング生成回路9には出力されない。これによってメモリ3のリフレッシュが最優先動作となる。

【0020】図3は、調停回路2の電氣的構成を示す回路図である。図3において図2に対応する部分には同一の参照符を付してある。調停回路2は、リフレッシュ信号生成部14と、第1および第2アクセス信号生成部12a、12bと、第1および第2ウェイト要求信号生成部13a、13bと、優先決定回路部15と、要求取り込みクロック信号生成部16の各ブロックによって構成されている。まず優先決定回路部15から説明する。

【0021】優先決定回路部15は、5個の入力端子i20～i24と3個の出力端子p7～p9とをもち、各入力端子i20、i21、i22にはリフレッシュ要求信号RFREQ、第1アクセス要求信号REQ1、第2アクセス要求信号ACS2がそれぞれ入力される。優先決定回路部15に設けられている3つのNANDゲートのうち、第1NANDゲートQ11は2入力、第2NANDゲートQ13は3入力、第3NANDゲートQ15は4入力であって、これらNANDゲートの第1入力端子にはアクセス要求信号RFREQ、REQ1、REQ2が個別に入力され、第2入力端子にはその前に置かれているD型フリップフロップ回路（以下「D-FF回路」という）D4～D6からのアクセス要求信号（RFREQ）、（REQ1）、（REQ2）が対応して個別に入力される。カッホはD-FF回路D4～D6を介して出力される信号であることを示し、前記NANDゲートQ11～Q13に直接入力されるアクセス要求信号RFREQ、REQ1、REQ2と区別するためである。

【0022】前記3つのD-FF回路D4、D5、D6の入力端子D（以下「端子D」という）には、前記アクセス要求信号RFREQ、REQ1、REQ2がそれぞれ個別に入力される。またクロック端子CK（以下「端子CK」という）は、入力端子i23に共通に接続され、後述する要求取り込みクロック信号RQCLKが入力される。したがって端子Dにそれぞれ入力される要求信号RFREQ、REQ1、REQ2は、端子CKに入力される要求取り込みクロック信号RQCLKの立ち上がりによって取り込まれ、出力端子Q（以下「端子Q」という）にアクセス要求信号（RFREQ）、（REQ1）、（REQ2）が固定されて出力されることになる。これによってたとえば第1NANDゲートQ11は、入力される2つのリフレッシュ要求信号RFREQ、（RFREQ）がともにハイのとき、バッファ回路Q12を介して出力端子p7にリフレッシュ信号・バーREFを出力する。第1アクセス信号・バーACS1、バーACS2についても同様である。

【0023】第1D-FF回路D4の反転出力端子・バーQ（以下「端子・バーQ」という）は、第2NANDゲートQ13と第3NANDゲートQ15との各第3入力端子にそれぞれ接続され、第2D-FF回路D5の端子・バーQは第3NANDゲートQ15の第4入力端子に接続されている。これによって前記3つの要求信号R

FREQ、REQ1、REQ2の間に、優先順位が付けられることになる。すなわち第1D-FF回路D4の出力・バーQによって第2および第3のNANDゲートQ12、Q13の出力はすべてハイとなり、第1および第2アクセス信号・バーACS1、バーACS2はハイとなっていずれも非能動化される。したがってたとえばリフレッシュ要求信号RFREQと同時に第1アクセス要求信号REQ1が入力されても、第1アクセス信号・バーACS1は出力されない。第1アクセス要求信号REQ1と第2アクセス要求信号ACS2の関係も同様である。また前後して入力されるアクセス要求信号の場合には、先に到着するアクセス要求信号が後のアクセス要求信号を保留させることになるので、複数のアクセス要求信号に対する受付けの先後の秩序が保たれる。

【0024】出力端子p7に出力されるリフレッシュ信号・バーREFと、出力端子p8に出力される第1アクセス信号・バーACS1と、出力端子p9に出力される第2アクセス信号・バーACS2とは、いずれも図示しないタイミング生成回路部（図2において参照符9で示されている）に入力される。なお前記複数のD-FF回路D4～D6の各リセット端子（以下「端子R」という）は、リセット入力端子i24に共通に接続され、外部からの信号によってリセットされるようになっている。

【0025】次にリフレッシュ信号生成部14と、第1および第2アクセス信号生成部12a、12bとはいずれも同じ回路構成であり、リフレッシュ信号生成部14を例にとつて説明する。リフレッシュ信号生成部14は、ORゲートQ1とANDゲートQ2とD-FF回路D1とで形成され、入力端子i1にリフレッシュ要求信号RFREQが入力されないとき、D-FF回路D1の端子・バーRはローであり、D-FF回路D1はクリアされて端子・バーQはハイであり、したがって出力端子p1のレベルはローである。リフレッシュ要求信号RFREQによって入力端子i1のレベルがハイになると、D-FF回路D1のリセットが解除されるが、端子Dには電源電圧Vcが印加されており、端子CKのレベルもこの時点では変化しないから端子・バーQのレベルはハイのままで、出力端子p1からはハイのリフレッシュ要求信号RFREQが次段の優先決定回路部15に入力される。

【0026】優先決定回路部15での動作は前述の通りであり、このとき導出されるリフレッシュ信号・バーREFはリフレッシュ信号生成部14の入力端子i2にも入力される。またリフレッシュ信号・バーREFによってタイミング生成回路部から導出されるカラム信号・バーCASが入力端子i3にも入力される。入力端子i2、i3のレベルはハイからローに変わるが、D-FF回路D1の状態は変化せず、リフレッシュ要求信号REQ1はリフレッシュ終了まで保持され、この間にメモリ

のリフレッシュが行われるのである。リフレッシュ動作が終了すると、カラム信号・バーCASがハイに変わるので入力端子i3はハイに変化し、D-FF回路D1の端子CKがハイとなり、同時にリフレッシュ要求信号REQ1がローに下がってD-FF回路D1の端子・バーRにリセットがかかり、リフレッシュ信号・バーREFはハイとなってリフレッシュ動作が終了する。

【0027】同様に第1アクセス信号生成部12aの入力端子i4に第1アクセス要求信号REQ1が入力されると、出力端子p2から第1アクセス要求信号REQ1が出力され、優先決定回路部15のD-FF回路D5は、要求取り込みクロック信号RQCLKの立ち上がりによって、第1アクセス要求信号REQ1を取り込み、第1アクセス信号・バーACS1を出力する。これによって第1CPU21aからの書き込み／読み込みが実行される。また第1アクセス要求信号REQ1が入力されている間は、前記D-FF回路D5の端子・バーQからのロー出力によって第2アクセス信号・バーACS2はハイとなって非能動化される。このため第1アクセス信号・バーACS1が第2アクセス信号ACS2よりも優先して出力される。第2アクセス信号生成部12bの動作は、前記優先動作を除けば第1アクセス信号生成部12aと全く同じである。なおCPU21a、21bからアクセス要求信号REQ1、REQ2が入力されると、次に述べるウェイト要求信号・バーWAIT1、WAIT2がウェイト要求信号生成部13a、13bから出力される。

【0028】一対のウェイト要求信号生成部13a、13bは、第1CPU21aおよび第2CPU21bからの各アクセス要求に応答して、第1CPU21aおよび第2CPU21bに対して第1ウェイト要求信号WAIT1、第2ウェイト要求信号WAIT2を個別に出力するもので、D-FF回路D7とNANDゲートQ7、およびD-FF回路D8とNANDゲートQ8とによって同じ回路に形成されている。2つのD-FF回路D7、D8の端子Dには電源電圧Vcが印加されてハイに保たれ、端子CKはそれぞれ前述のアクセス信号生成部12a、12bのD-FF回路D2、D3の端子CKに個別に接続されている。

【0029】またNANDゲートQ7、Q8のそれぞれ一方にはアクセス要求信号REQ1、REQ2が入力され、他方にはD-FF回路D7、D8の出力・バーQが入力される。アクセス要求信号REQ1、REQ2はD-FF回路D7、D8の端子・バーRにも入力される。したがってウェイト要求信号生成部13a、13bの入力は、前述のアクセス要求信号生成部12a、12bと同一構成であり、アクセス要求信号REQ1あるいはアクセス要求信号REQ2が入力されると、出力端子p5、p6からはアクセス要求信号REQ1、REQ2の反転波形であるウェイト要求信号・バーWAIT1、バ

ーWAIT2がそれぞれ個別に出力される。ウェイト要求信号・バーWAIT1、バーWAIT2はCPU21a、21bのウェイト要求端子に入力され、CPUの動作を一定時間遅延させるものである。

【0030】要求取り込みクロック生成部16は、4入力NANDゲートQ9とバッファQ10とで形成され、4個の入力端子i10～i13には、クロック信号CLK、リフレッシュ信号・バーREF、第1アクセス信号・バーACS1および第2アクセス信号・バーACS2の4つの信号が入力される。クロック信号CLKを除く3つの信号バーREF、バーACS1、バーACS2はいずれもアクセス時以外はハイであるから、NANDゲートQ9を介して出力端子p4から導出される要求取り込みクロック信号RQCLKの波形はクロック信号CLKの反転波形となっている。

【0031】優先決定回路部15のD-FF回路D4～D6は、各々に入力されるアクセス要求信号RFREQ、REQ1、REQ2をこの要求取り込みクロック信号RQCLKの立ち上がりによって取り込んで、アクセス要求信号(RFREQ)、(REQ1)、(REQ2)を導出し、各々NANDゲートQ11、Q13、Q15の論理演算によってアクセス信号・バーREF、バーACS1、バーACS2を個別に導出するのである。

【0032】図4は、本実施例の動作を示すタイムチャートである。図4では2つのCPUとリフレッシュの3つのアクセスが想定されており、参照符号は図2～図3と同一である。図4において、(1)はクロック信号CLKを、(2)はリフレッシュ要求信号RFREQを、(3)は第1CPU21aの第1アクセス要求信号REQ1を、(4)は第2CPU21bのアクセス要求信号REQ2を、(5)は要求取り込みクロック信号RQCLKを、(6)はリフレッシュ信号REFを、(7)は第1アクセス信号ACS1を、(8)は第2アクセス信号ACS2を、(9)はロウ信号バーRASを、(10)はカラム信号バーCASをそれぞれ示している。

【0033】いまたとえば図4(2)、(3)に示されるように、時刻t1で第1アクセス要求信号REQ1を受け、次に時刻t3でリフレッシュ要求信号RFREQを受けたとすれば、リフレッシュ要求信号REQはそれより1クロック以上遅れているので後着とされ、第1アクセス信号ACS1の処理が先行される。図4(5)、(7)に示されるように、時刻t2での取り込み要求クロック信号RQCLKの立ち上がりによって第1アクセス信号・バーACS1がローに下がり、これによって取り込み要求クロック信号RQCLKは時刻t2以後はハイに保持されて停止する。第1アクセス信号／バーACS1の立ち下がりから1/2クロック分遅れてロウ信号・バーRASがローに下がり、次いで1クロック後にカラム信号・バーCASがローに下がって、第1CPU21aのアクセスが実行される。

【0034】アクセスが終わると時刻 $t_4$ でカラム信号・バーCASとロウ信号・バーRASがハイに戻って要求クロック信号RQCLKの停止が解け、要求取り込みクロック信号RQCLKが次に立ち上がる時刻 $t_5$ で、リフレッシュ要求信号RFREQが受け付けられ、時刻 $t_6$ までリフレッシュが行われることになる。この場合のリフレッシュ要求から終了までの所要時間 $T_1$ は5クロック分であり、これが他の要求と重なる最悪タイミングであり、換言すればいかなる場合にも5クロック以内にリフレッシュは完了することになる。たとえば図4

(3)の第1アクセス要求信号REQ1が図の左方にシフトすれば(到着時刻が早い)、リフレッシュが開始される時刻が早まり、逆に第1アクセス信号ACS1が右方にシフトすれば(到着時刻が遅い)リフレッシュ要求と同時に becoming、この場合には優先決定回路部15によってリフレッシュが優先されることになる。

【0035】また図4(4)に示されるように、時刻 $t_7$ で第2アクセス要求信号REQ2が到着すると、この場合には他の要求と重ならないから、時刻 $t_7 \sim t_8$ の3.5クロック分の時間 $T_2$ でアクセスが実行されることになる。これを図11に示す従来例と比較すると、5クロック分の時間短縮が図られる。これは従来例のようなアクセスタイミング信号ACSTMによる無用の待ち時間が生じないことによるものである。

【0036】さらに図4(2)～(4)に示されるように、時刻 $t_9$ 、 $t_{10}$ で3つの要求信号RFREQ、REQ1、REQ2がほぼ同時に到着する場合には、優先決定回路15によってリフレッシュ要求信号RFREQ→第1アクセス要求信号REQ1→第2アクセス要求信号REQ2の順に処理される。第1アクセス要求信号ACS1の到着から終了までの時間 $T_3$ (時刻 $t_9 \sim t_{11}$ )は6.5クロックであり、また第2アクセス要求信号ACS2の到着から終了までの時間 $T_4$ (時刻 $t_9 \sim t_{12}$ )は9.5クロックであり、これを図11の従来技術と比較すれば最悪タイミングの場合でも、いずれも2クロック分の時間短縮が図られるのである。このように本発明では、従来技術のようなアクセスタイミング信号などを用いないので、時間短縮を図ることができるのである。次に前述の同時アクセスの場合についてさらに詳しく説明する。

【0037】図5は、本実施例の動作を動作を説明するためのタイムチャートである。図5はリフレッシュと、第1CPU21aと、第2CPU21bの3つのアクセス要求が同時発生する場合を想定しており、参照記号は図2～図4と同一である。図5(1)はクロック信号CLKの波形であり、図5(2)～(6)は第1CPU21aに関連する信号の動作波形であり、図5(7)～(11)は第2CPU21bに関連する信号の動作波形である。また図5(12)～(13)はメモリ3へのデータの書き込み、読み込みのタイミングを示し、図5

(17)～(24)は主として調停回路2の内部で生成される各部の信号波形が示されている。図5では時刻 $t_0$ に、リフレッシュ要求と、第1CPU21aからの第1アクセス要求と、第2CPU21bからの第2アクセス要求の、3つのアクセス要求が同時に発生した場合を想定し、そのタイミングが示されている。

【0038】時刻 $t_{10}$ に、リフレッシュタイマ10から図5(17)に示されるリフレッシュ要求信号RFREQと、第1CPU21aから図5(4)に示される読み込み要求信号・バーRD1によるアクセス要求と、第2CPU21bから図5(10)に示される書き込み要求信号・バーWR2によるアクセス要求が、それぞれ同時に調停回路2に入力されると、図5(4)の読み込み要求信号・バーRD1の立ち下がりによって図5(6)に示される第1ウェイト要求信号・バーWAIT1と、図5(18)に示される第1アクセス要求信号REQ1とが生成される。また図5(10)の書き込み要求信号・バーWR2によって、図5(11)に示される第2ウェイト要求信号・バーWAIT2と、図5(19)に示される第2アクセス要求信号REQ2とが生成される。第1CPU21aの読み込み動作と、第2CPU21bの書き込み動作とは待機させられ、最優先のリフレッシュ動作が行われることになる。この間第1アクセス要求信号REQ1と第2アクセス要求信号REQ2とは図5(18)、(19)に示されているように保持される。

【0039】図5(17)、(20)、(21)に示されているように、時刻 $t_{11}$ に、要求取り込みクロック信号RQCLKの立ち上がりでリフレッシュ信号・バーREFが前記優先決定回路部15から出力され、これによって時刻 $t_{12}$ でタイミング生成回路9から図5(14)に示されるロウ信号・バーRASが出力され、続いて時刻 $t_3$ で図5(15)に示されるカラム信号・バーCASがそれぞれ出力される。リフレッシュの場合はカラム信号・バーCASがロウ信号・バーRASよりも早く出力される。また前記リフレッシュ信号・バーREFの立ち下がりによって要求取り込みクロック信号RQCLKはハイに固定されて停止する。時刻 $t_{13}$ でリフレッシュが終わると、ロウ信号・バーRASとカラム信号・バーCASはともに立ち上がり、同時にリフレッシュ信号・バーREFがハイになってリフレッシュ優先処理が解除され、取り込み要求クロック信号RQCLKが復旧する。取り込み要求クロックRQCLKの次の立ち上がりで続いて第1アクセス要求の処理が行われることになる。

【0040】図5(22)に示されるように、時刻 $t_{14}$ で第1アクセス信号・バーACS1がローに下がる。この第1アクセス信号・バーACS1の立ち下がりによって図5(20)の要求取り込みクロック信号RQCLKは再び停止し、図5(14)に示されるように時刻 $t_{15}$ でロウ信号・バーRASがローに下がり、続いて時

13

刻  $t_{16}$  で図5 (15) のカラム信号・バーCASがローに下がり、セクタ7aを介して第1CPU21aのアドレスバスAD1とメモリ3のアドレスバスMA1とが接続され、図5 (2) のアドレスa1が指定される。

【0041】一定時間幅のカラム信号・バーCASが図5 (15) で示されるように、時刻  $t_{17}$  で立ち上がると、ロー信号・バーRASも立ち上がり、図5 (6) に示されるように第1ウェイト要求信号・バーWAIT1がハイとなってメモリ3からは図5 (13) のデータd1が読み込まれ、読み込みバッファ8rを介して第1ラッチ回路6aに入力され、ラッチされる。読み込みであるからメモリ書き込み信号・バーWEはハイのまま、書き込みバッファ8wは非導通状態となっている。第1ウェイト要求信号・バーWAIT1の立ち上がりによって第1CPU21aの待機が解除され、第1CPU21aによって前記ラッチされているデータが読み込まれる。

【0042】読み込みが終われば第1CPU21aは時刻  $t_{18}$  で図5 (4) で示されるように読み込み要求信号・バーRD1をハイに戻し、これによって図5 (2) のように第1アクセス信号・バーACS1がハイとなる。また図5 (6) に示されるように前記ウェイト要求信号・バーWAIT1がハイとなって前記カラム信号・バーCASの立ち上がりによって第1ラッチ回路6aは入力されている前記メモリ3のデータd1をラッチし、読み込みバッファ5arを介して第1CPU21aのデータ端子に出力する。このようにして第1CPU21aのメモリ3からのデータの読み込みが行われる。

【0043】読み込みが終わると第1CPU21aは時刻  $t_8$  で、図5 (4) に示されるように読み込み要求信号・バーRD1をハイに立ち上げ、これによって図5 (18) に示されるように第1アクセス要求信号REQ1がローとなって、第1CPU21aによるデータ読み込みが終了する。続いて第2CPU21bからのアクセス要求の受付が図5 (20) に示される時刻  $t_{18}$  の取り込要求クロックRQCLKの立ち上がりで開始される。

【0044】図5 (23) に示されるように時刻  $t_{18}$  で第2アクセス要求信号・バーACS2がローに下がり、これと連動して図5 (24) に示されるセクタ信号SELがハイとなってセクタ7a、7bを第2CPU21b側に切り換える。これによって第2CPU21bのアドレスバスAD2とメモリ3のアドレスバスMAとが接続され、第2CPU21bのデータバスDA2とメモリ3のデータバスMDとが接続される。第2アクセス信号ACS2の立ち下がりによって要求取り込みクロック信号RQCLKは停止する。

【0045】図5 (14) の時刻  $t_9$  でロウ信号・バーRASがローに下がり、その後カラム信号・バーCASもローに下がる。第2CPU21bからの書き込み要求

14

信号・バーWR2が出力されているので、前記ロウ信号・バーRASの立ち下がりによってタイミング生成回路9は図5 (16) に示されるようにメモリ書き込み要求信号・バーWEをローに下げる。これによって図5

(7) に示されるアドレスa2によってメモリ3のアドレス指定が行われ、次いで図5 (8) のデータd2がメモリ3に書き込み可能となる。書き込み後の時刻  $t_{20}$  でカラム信号・バーCASがハイに立ち上がると、図5 (23) の第2アクセス信号ACS2はハイに立ち上がる。図5 (24) のセクタ信号SELはローに下がってセクタ7a、7bは第1CPU21a側に復帰する。同時に図5 (11) に示されるように第2ウェイト要求信号・バーWAIT2がハイに立ち上がり、時刻  $t_{21}$  で第2CPU21bは図5 (10) に示されるように、書き込み要求信号WR2をローに下げ、これによって第2CPU21bによる書き込み動作が終了する。

【0046】前述の説明では、第1CPU21aのアクセスを読み込み、第2CPU21bのアクセスを書き込みとしたけれども、逆の場合も当然に可能であり、また両方のCPUから同時に書き込み要求あるいは読み込み要求がなされても差し支えないことは明らかであろう。このように本実施例では、調停回路2を設けることによって、最悪のタイミングである同時アクセスが発生しても予め定められる優先順位によって処理するものであるから、誤動作することなく、信頼性が向上するのである。

【0047】図6～図8は、本実施例の動作を示すフローチャートである。図6は第1CPU21aの書き込み／読み込み動作を示し、図6 (1) には書き込み動作が、図6 (2) には読み込み動作がそれぞれ示されている。図7は第2CPU21bの書き込み／読み込み動作を示し、図7 (1) には書き込み動作が、図7 (2) には読み込み動作がそれぞれ示されている。また図8はリフレッシュ動作を示すものである。第1CPU21aと第2CPU21bの各アクセス動作は優先判断を除けば同一であるから、ここでは第1CPU21aのアクセス動作を、図6を参照して説明する。なお参照符号は前掲図3～図5と同一であり、これらの図をあわせて参照されたい。

【0048】書き込み動作から説明する。図6 (1) を参照して、ステップw11で第1CPU21aは書き込みのためにアドレスデータをアドレスバスAD1に出力し、同時に書き込み要求信号・バーWR1をローに立ち下げる。書き込みであるから読み込み要求信号・バーRD1はハイのままである。ステップw12では書き込み要求信号・バーWR1の立ち下がりによって第1ウェイト要求信号・バーWAIT1がローに下がって第1CPU21aのウェイト端子に印加され、第1アクセス要求信号REQ1がハイとなって調停回路2に入力される。

【0049】ステップw13では要求取り込みクロック

信号RQCLKの立ち上がり時のリフレッシュ要求信号RFREQのレベルがハイかローかが判断される。ローであればステップw14に移って後述する図8のリフレッシュ動作が先に実行される。リフレッシュ要求信号RFREQのレベルがローであれば、すなわちリフレッシュ要求が出ていなければステップw15に進み、第1アクセス信号・バーACS1が優先決定回路部15から出力され、要求取り込みクロック信号RQCLKが停止する。

【0050】ステップw16ではセクタ7aを介して第1CPU21aのアドレスバスAD1とメモリ3のアドレスバスMAとが接続され、セクタ7bを介して第1CPU21aのデータバスDA1とメモリ3のデータバスMD1とが接続される。ロウ信号・バーRASとカラム信号・バーCASが出力されてメモリ3のアドレスが指定される。カラム信号・バーCASによってタイミング生成回路部9からメモリ書き込み信号・バーWEが出力され、書き込み用バッファ8wをONさせる。これによって第1CPU21aからデータがメモリ3に書き込まれる。

【0051】前記ステップw16で書き込みが終わると、ステップw17に進んで、カラム信号・バーCASがハイに立ち上がり、第1アクセス要求信号REQ1はローに下がり、第1アクセス信号・バーACS1と第1ウェイト要求信号・バーWAIT1はハイになって、これらの信号のレベルはアクセス要求以前の状態に戻る。次のステップw18では、書き込み要求信号・バーWR1をハイに戻し、第1CPU21aの書き込み動作が終了する。

【0052】次に読み込み動作を説明する。図6(2)を参照して、第1CPU21aが読み込みのためにアクセスを要求すると、ステップr11でアドレスデータが第1CPU21aのアドレスバスに出力され、同時に読み込み要求信号・バーRD1がローに下がる。読み込みであるから書き込み要求信号・バーWR1はハイのままである。ステップr12では読み込み要求信号・バーRD1の立ち下がりによって第1ウェイト要求信号・バーWAIT1がローに下がって第1CPU21aのウェイト端子に印加され、第1アクセス要求信号REQ1がハイとなって調停回路2に入力される。

【0053】ステップr13では要求取り込みクロック信号RQCLKの立ち上がり時のリフレッシュ要求信号RFREQのレベルがハイかローかが判断される。ローであればステップr14に移って後述する図8のリフレッシュ動作が先に実行される。リフレッシュ要求信号RFREQのレベルがローであれば、すなわちリフレッシュ要求が出ていなければステップr15に進み、第1アクセス信号・バーACS1が優先決定回路部15から出力され、要求取り込みクロック信号RQCLKが停止する。

【0054】ステップr16で第1CPU21aのアドレスバスAD1とメモリ3のアドレスバスMAとが接続され、ロウ信号・バーRASとカラム信号・バーCASが出力されてメモリ3のアドレスが指定される。なお、読み込みの際には書き込み要求信号・バーWEはハイのまま変化しない。これによってメモリ3からのデータ読み込みが実行される。

【0055】前記ステップr16で読み込みが終わると、ステップr17に進んで、カラム信号・バーCASがハイに立ち上がり、第1アクセス要求信号REQ1はローに下がり、第1アクセス信号・バーACS1と第1ウェイト要求信号・バーWAIT1はハイになって、これらの信号のレベルはアクセス要求以前の状態に戻る。次のステップr18では、前記第1アクセス信号・バーACS1の立ち上がりによって、ラッチ6aはメモリ3から読み出されたデータを保持し、データバスDA1に出力する。ステップr19で第1CPU21aは、データバスDA1のデータを読み込み、その後に読み込み要求信号・バーRD1をハイに戻し、動作が終了する。

【0056】以上は第1CPU21aの書き込み／読み込み動作であるが、第2CPU21bの書き込み／読み込み動作は、図7(1)、(2)の各フローチャートに示されている。図7(1)は書き込み動作で、図7

(2)は読み込み動作である。第2CPU21aの動作が第1CPU21aの動作と異なるのは、書き込み動作の際は図7(1)のステップw25での判断動作が、また読み込み動作の際には図7(2)のステップr25での判断動作が、それぞれ加えられている点で、それ以外は第1CPU21aの動作と全く同様である。ここで付加されている判断は、いずれも第1CPU21aの優先動作に対する判断で、たとえば図7(2)のステップr25では、第1CPU21aからのアクセス要求が出ていようかが判断される。第1アクセス要求信号REQ1が出ていれば、ステップr26に移って、前述の図6(2)に示されている第1CPU21aによる読み込み動作が先に実行されるのである。

【0057】次にリフレッシュ動作を説明する。図8を参照して、ステップf1でリフレッシュタイマ10からハイレベルのリフレッシュ要求信号RFREQが入力されると、ステップf2で優先決定回路部15は要求取り込みクロック信号RQCLKの立ち上がりで、リフレッシュ要求信号RFREQを取り込み、ローレベルのリフレッシュ信号・バーREFを出力し、要求取り込みクロック信号RQCLKを停止させる。

【0058】ステップf3でリフレッシュ信号・バーREFにตอบสนองしてタイミング生成回路部9は一定時間幅のロウ信号・バーRASとカラム信号・バーCASとを出力し、リフレッシュが行われる。メモリ書き込み信号・バーWEはハイのまま変化しない。リフレッシュが終われば、ステップf4でカラム信号・バーCASが立ち

上がると、リフレッシュ要求信号R F R E Qがロー、リフレッシュ信号・バーR E Fがハイとなって要求取り込みクロック信号R Q C L Kの停止が解除されてスタートする。これによってリフレッシュ動作が終了する。

【0059】本実施例ではメモリにD R A Mを使用しているため、同時アクセスの場合にはリフレッシュ動作を最優先させ、第1 C P U 2 1 a、第2 C P U 2 1の順に順位を設けているけれども、メモリにスタティックR A Mなどのデバイスを使用することもできる。この場合はリフレッシュが不要になるので、リフレッシュ信号生成部14を第1アクセス信号生成部に、第1アクセス信号生成部12aを第2アクセス信号生成部12bに振替えることもでき、リフレッシュタイマ10が不要になるなど、構成を簡単化することができる。本発明に使用されるメモリ3をはじめとするデバイスは、いずれも汎用性のもので容易に入手可能であるから、生産コストの低減とメンテナンスの容易化も実現される。

#### 【0060】

【発明の効果】以上のように、本発明によるメモリ制御回路は、複数の中央処理装置から個別に到着するアクセス要求について、要求調停手段がその到着の先後を調べ、同時であれば予め定める優先順位にしたがってアクセス要求を受け付け、到着に先後がある場合には先着のアクセス要求を受け付け、上位または先着のアクセス要求を受け付けている間は下位または後着の要求信号を保留し、上位または先着信号の受け付けが終わった後に前記保留を解除して下位または後着の要求信号を受け付けるようにしているので、待ち時間が短縮され、高速化を図ることができる。またバスライン選択接続手段は、アクセス要求調停手段の選択出力に应答して、対応する中央処理装置のバスラインを選択してメモリのバスラインと接続するのでバスラインの接続が確実なものとなり、誤動作を防止する。これによって複数の中央処理装置からメモリに対する個別的なアクセスが可能となり、メモリを複数の中央処理装置によって共有することができ、複数の中央処理装置によってシステムの高速化を図ることができる。またメモリには安価で大容量の汎用D R A Mを使用できるので、コストダウンが図れ、メンテナンスも容易である。

#### 【図面の簡単な説明】

【図1】本発明の一実施例のメモリ制御回路の使用例を示すブロック図である。

【図2】本発明の一実施例のメモリ制御回路の電氣的構成を示すブロック図である。

【図3】本実施例による調停回路の回路図である。

【図4】本実施例の動作を示すタイムチャートである。

【図5】本実施例の動作を示すタイムチャートである。

【図6】本実施例による第1 C P Uの動作を示すフローチャートである。

【図7】本実施例による第2 C P Uの動作を示すフローチャートである。

【図8】本実施例によるメモリのリフレッシュ動作を示すフローチャートである。

【図9】従来技術を示すブロック図である。

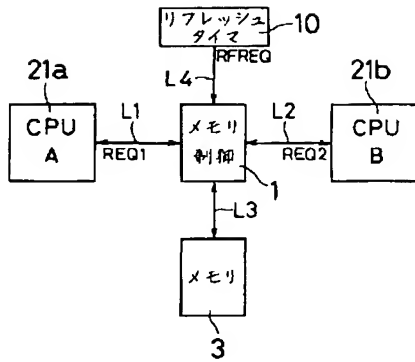
10 【図10】従来技術の書き込み／読み込み動作を示す図である。

【図11】従来技術の動作を示すタイムチャートである。

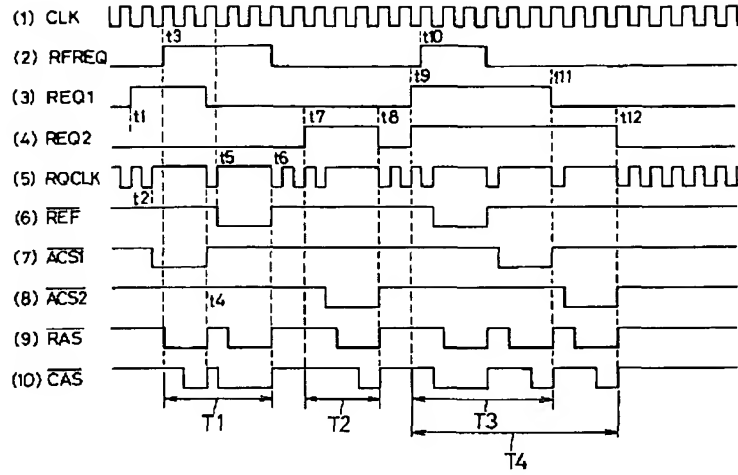
#### 【符号の説明】

- 1   メモリ制御回路
- 2   調停回路
- 3   メモリ
- 4 a, 4 b   O R ゲート
- 5 a, 5 b   バッファ
- 20 6 a, 6 b   データ読み込み用ラッチ
- 7 a   アドレス選択用セレクト
- 7 b   データ選択用セレクト
- 8   バッファ
- 9   タイミング生成回路部
- 10   リフレッシュタイマ
- 12 a, 12 b   アクセス信号生成部
- 13 a, 13 b   ウェイト要求信号生成部
- 14   リフレッシュ信号生成部
- 15   優先決定回路部
- 30 21 a, 21 b   中央処理装置
- AD 1, AD 2   中央処理装置のアドレスバス
- CL K   クロック信号
- DA 1, DA 2   中央処理装置のデータバス
- MA   メモリのアドレスバス
- MD   メモリのデータバス
- REQ 1, REQ 2   アクセス要求信号
- R F R E Q   リフレッシュ要求信号
- R Q C L K   要求取り込みクロック信号
- バーACS 1, ACS 2   アクセス信号
- 40 バーCAS   カラム信号
- バーRAS   ロウ信号
- バーREF   リフレッシュ信号
- バーWA I T 1, 2   ウェイト要求信号
- バーWE   メモリ書き込み信号

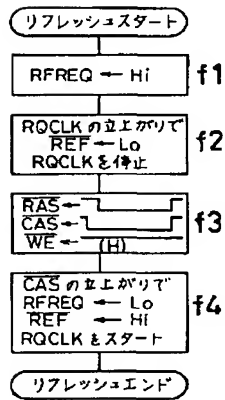
【図1】



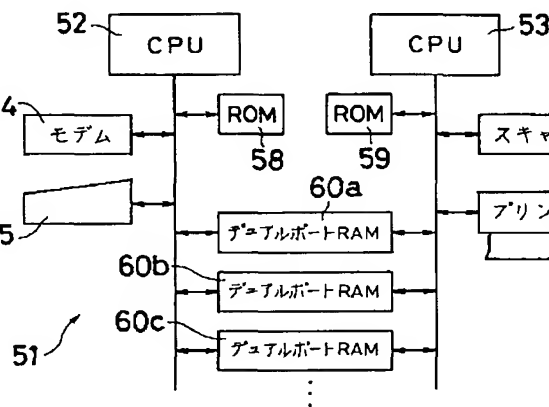
【図4】



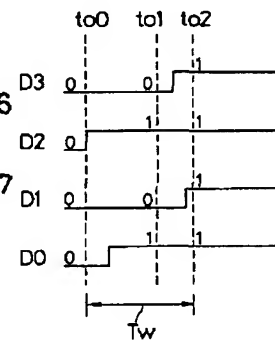
【図8】



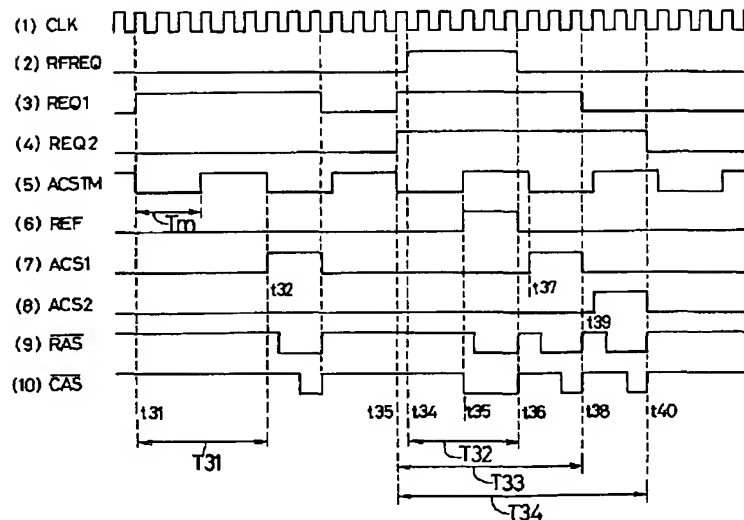
【図9】



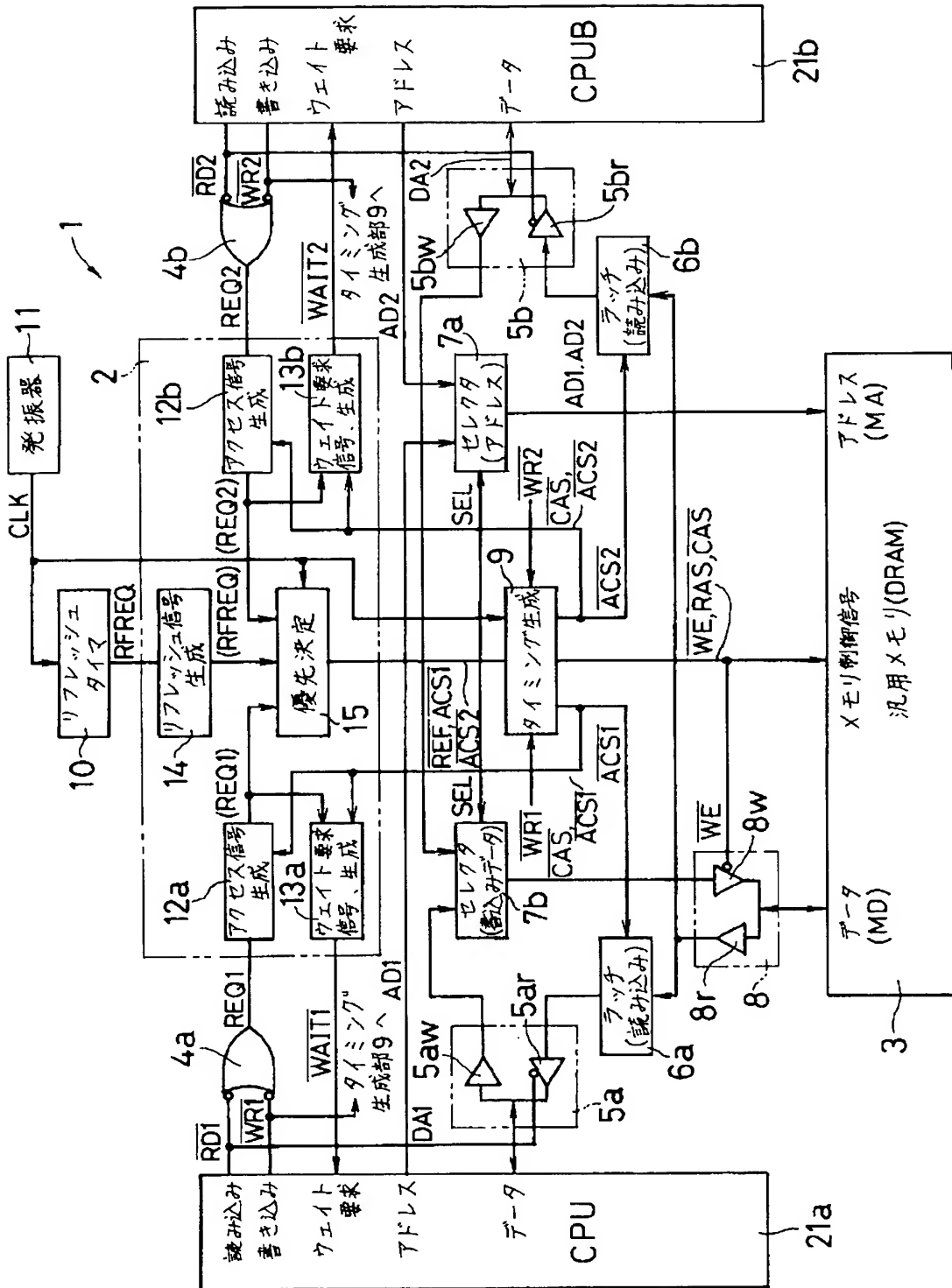
【図10】



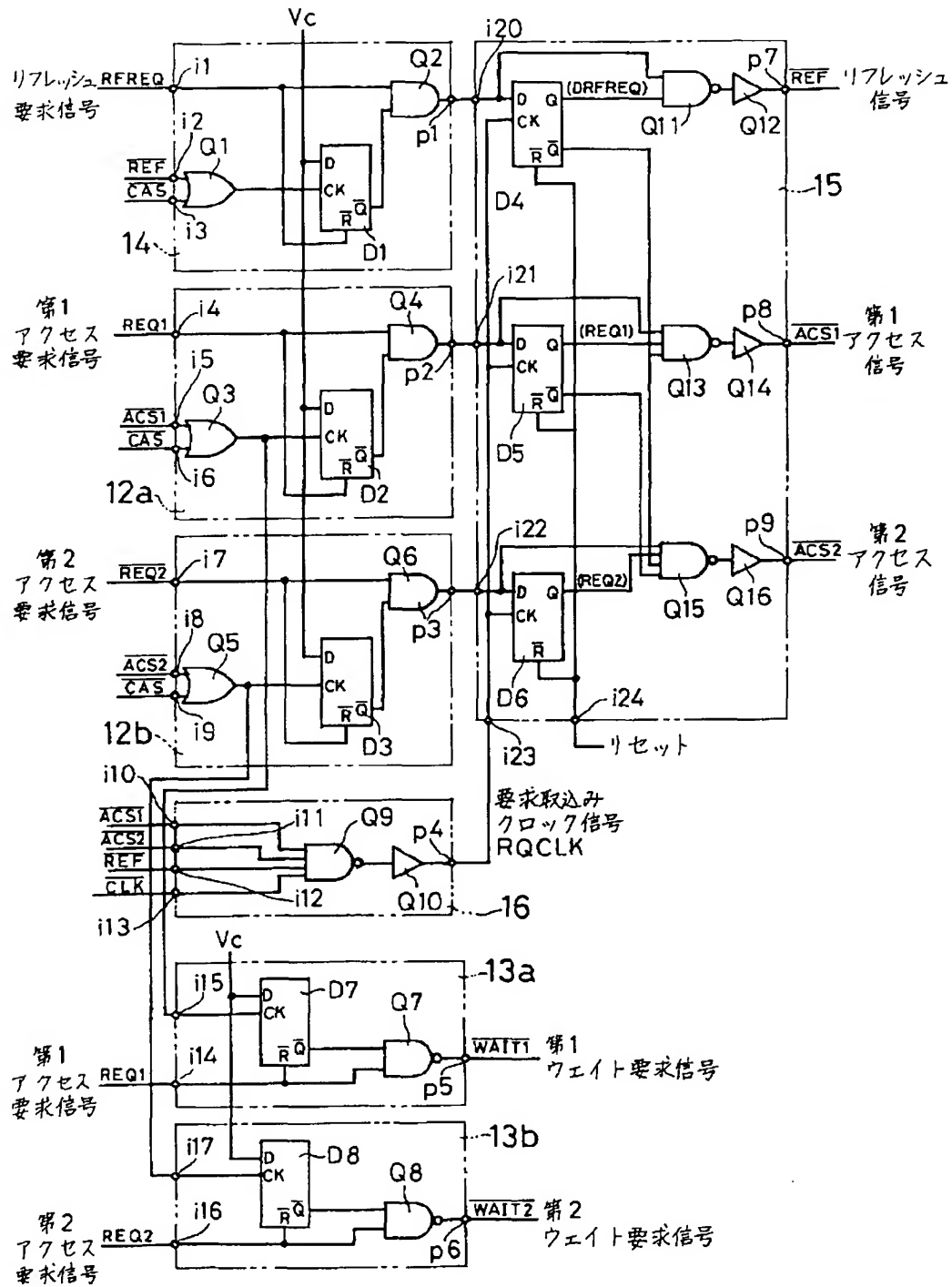
【図11】



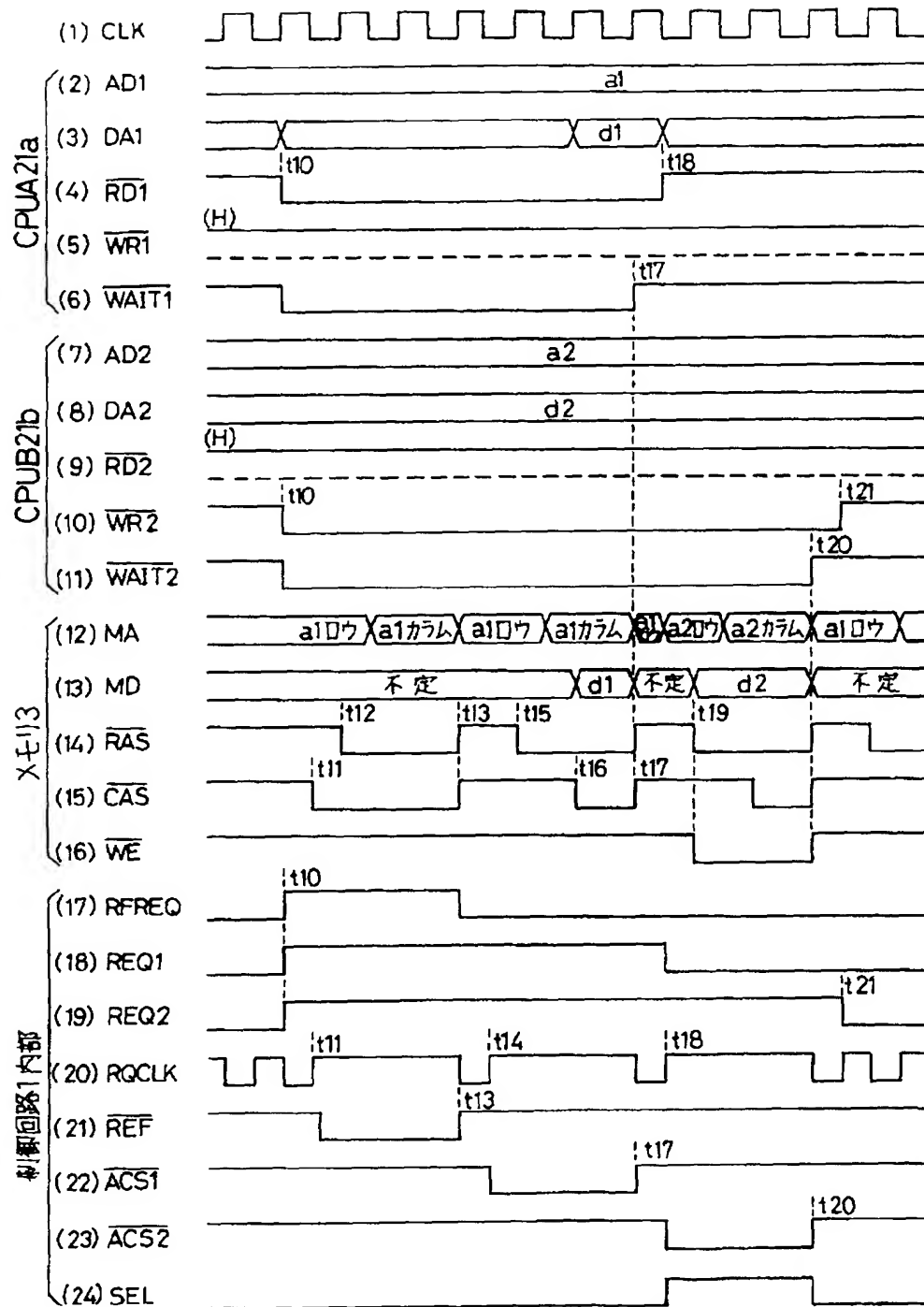
【図2】



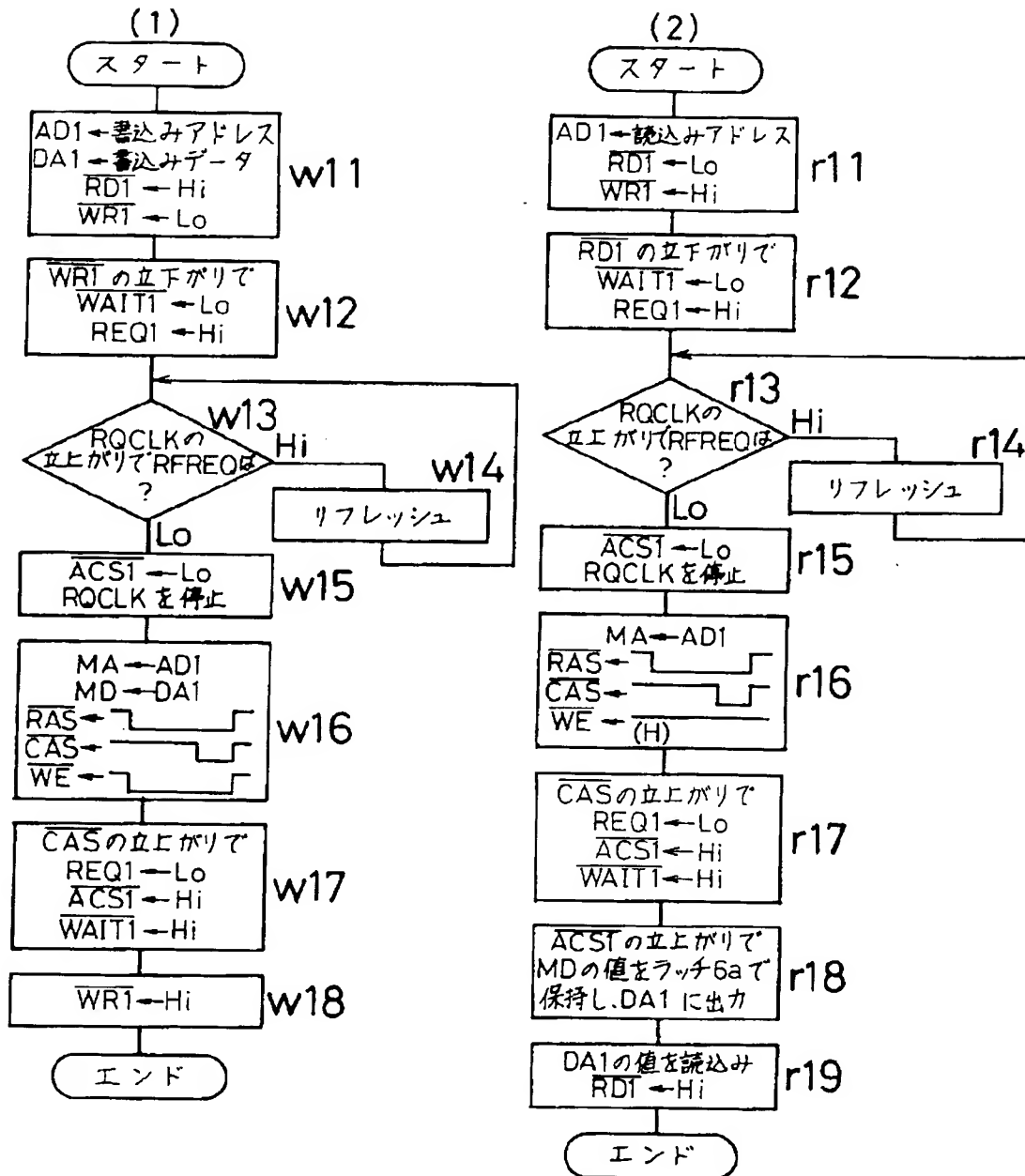
【図3】



【図5】



【図6】



【図7】

